

⑪ Int. Cl.

H 01 L 29/78
21/265

識別記号

3 0 1

庁内整理番号

Y-8422-5F
D-7738-5F

⑬ 公開 平成1年(1989)4月20日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑮ 特 願 昭62-259510

⑯ 出 願 昭62(1987)10月16日

⑰ 発 明 者 田 中 宏 幸 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑲ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

(1) (a) シリコン基板上のゲート酸化膜を介して多結晶シリコン層形成後もしくはこの多結晶シリコン層にP型不純物を導入後に不活性ガス中にて高温のアニールを行う工程と、

(b) 上記多結晶シリコン層の表面にホトレソストを塗布してホトリソによりゲート領域以外の上記多結晶シリコン層を除去して上記ゲート酸化膜を露出させる工程と、

(c) 上記露出したゲート酸化膜をマスクとして上記シリコン基板の上面にイオン注入を行つてソース・ドレイン層を形成する工程と、

(d) 上記ソース・ドレイン層上の上記ゲート酸化膜を除去した後中間絶縁膜を形成して上記ソース・ドレイン層の上部の開口部をソース・ドレイン電極を形成する工程と、

よりなるMOS型半導体装置の製造方法。

(2) 不活性ガスは N_2 を用いることを特徴とする特許請求の範囲第1項記載のMOS型半導体装置の製造方法。

(3) アニール温度は $900^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ とすることを特徴とする特許請求の範囲第1項記載のMOS型半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、P+多結晶シリコンゲートを用いたMOS型半導体の製造方法に関するものである。

(従来の技術)

P+多結晶シリコンゲートを用いたMOS型半導体装置の製造方法に関しては、例えば特開昭60-28269号公報やIEEE Electron Device Letters (ノイ、イ、イ、イ、エレクトロン・デバイス・レターズ) Vol. EDL-7, No. 1 January 1986, ページ44~52に開示されている。

第3図(a)~第3図(e)は従来のMOS型半導体装置の製造方法の工程断面図であり、この第3図(a)~第3図(e)により従来のMOS型半導体装置の製

造方法について述べる。

まず、第3図(a)において、シリコン基板1の表面にLOCOS等で選択的にフィールド酸化膜2を $1000\text{\AA}\sim 10000\text{\AA}$ 形成する。

次に、このフィールド酸化膜2で囲まれた前記シリコン基板1の露出表面に $900^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ の熱酸化でゲート酸化膜3を $100\text{\AA}\sim 500\text{\AA}$ 形成する。

次に、第3図(b)に示すように、このゲート酸化膜3および前記フィールド酸化膜2上に多結晶シリコン層4を形成した後、この多結晶シリコン層4に B^{+} または BF_3^{+} のイオン注入を行つて、多結晶シリコン層4にP型不純物を導入する。

その後、ゲート酸化膜3および多結晶シリコン層4のゲート領域以外をホトリソグラフィーによつて除去する。

次に、シリコン基板1の露出表面に BF_3^{+} のイオン注入を行い、ソース・ドレイン層5を形成する。

次に、イオン注入後の結晶性回復のためのアニールを行い、第3図(c)に示すように、全面にCVD等で中間絶縁膜6を堆積する。そして、その中間

絶縁膜6にソース・ドレイン層5上で開口部7をホトリソグラフィ法により形成する。

その後、開口部7を介してソース・ドレイン層5に接続されるようにソース・ドレイン電極8を形成する。

(発明が解決しようとする問題点)

以上のような従来のMOS型半導体装置の製造方法により製造したMOS型半導体では、ゲート酸化膜3および多結晶シリコン層4をホトリソグラフィーによつて除去した後のレジスト除去時に、多結晶シリコン層4を通してレジスト中から酸化膜へ Na^{+} イオンが侵入し、可動イオンとなり、MOS型半導体に悪影響を及ぼすという問題点があつた。

具体的には、 200\AA のゲート酸化膜3と 3400\AA の P^{+} 多結晶シリコン層4を有するMOS型キャパシタに対し、フォトリソ後のレジスト除去法として、放電分離型 μ 波励起によるアッシングとした場合、ゲート酸化膜3中においておよそ 1.2×10^{12} 個/ cm^2 の可動イオンが検出される。

この発明は前記従来技術がもっている問題点のうち、ゲート酸化膜に Na イオンが侵入して特性を劣化させる点について解決したMOS型半導体装置の製造方法を提供するものである。

(問題点を解決するための手段)

この発明はMOS型半導体装置の製造方法において、多結晶シリコン層に対するP型不純物の導入の前または後に高温のアニールを行う工程を導入したものである。

(作用)

この発明によれば、MOS型半導体装置の製造方法において、以上のような工程を導入したので、多結晶シリコン層の粒径が大きくなり、 Na イオンの拡散を防ぐことになり、 Na イオンはゲート酸化膜に到達しなくなり、ゲート酸化膜に可動イオンが存在しなくなり、したがつて前記問題点は除去できる。

(実施例)

以下、この発明のMOS型半導体装置の製造方法の実施例について図面に基づき説明する。第1

図(a)ないし第1図(d)はその一実施例の工程断面図である。

まず、第1図(a)において、N型シリコン基板11を $900^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ のウェット O_2 中で約 $1000\text{\AA}\sim 10000\text{\AA}$ のフィールド酸化膜12を形成する。

次に、N型シリコン基板11の所定の表面を露出した後、 $900^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ のドライ O_2 中でゲート酸化膜13を形成する。

次に、第1図(b)に示すように、ゲート酸化膜13の表面にCVD法により、 $2000\text{\AA}\sim 4000\text{\AA}$ の多結晶シリコン層14を形成する。

次に、この多結晶シリコン層14にガロンまたは BF_3 の不純物正イオンを注入して、多結晶シリコン層14にP型不純物を導入する。この場合のイオン注入の条件として、例えば、不純物濃度 $6\times 10^{14}\sim 5\times 10^{15}$ 個/ cm^2 、加速電圧 40KeV とする。

次に、不活性ガスとしての N_2 雰囲気中にて、 $900^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ で10～60分間アニールを行い、多結晶シリコン層14を活性化する。

次に、この活性化された多結晶シリコン層14

の表面に約8000Åのホトレジスト層を塗布した後、通常のホトリソ技術により、ゲート領域以外の多結晶シリコン層14を除去し、かつゲート領域近傍のゲート酸化膜13の表面を露出させる。

次に、露出されたゲート酸化膜をマスクとして、ボロンまたはBF₃イオンをシリコン基板11の表面に注入して、ソース・ドレイン層15を形成する。この場合のイオン注入条件は、加速電圧は約50KeVとし、不純物濃度は約 2.5×10^{15} 個/cm²である。

次に、約900℃～1000℃のN₂雰囲気中で約30分シリコン基板11をアニールして、ソース・ドレイン層15を活性化する。

次に弗酸液を使用して、ソース・ドレイン層15の表面のゲート酸化膜15を除去して、シリコン基板11の表面を露出させる。

次に、第1図(d)に示すように、CVD法により、中間絶縁膜16を全面に5000Å～7000Å堆積させる。

次に、ソース・ドレイン層15上の中間絶縁膜

16にホトリソ技術により開口部17を形成する。その後、中間絶縁膜16の開口部17を介してソース・ドレイン層15に接続されるように、ソース・ドレイン電極18をアルミ・シリコン合金等で全面に5000Å～10000Åスパッタ法で形成し、その後ホトリソ技術により配線部以外を除去する。以上のようにして製造されたMOS型半導体装置では、ゲート酸化膜13中の可動イオン密度は 80×10^{11} 個/cm²と従来技術により作成したMOS型キャパシタでの可動イオン密度に比べ低減している。

第2図に上記方法の一連のアニール工程において、アニール温度を900℃～1000℃まで変化させた場合の可動イオン密度を示す。アニール温度950℃以上において、従来の製造方法により作成したMOS型キャパシタでの可動イオンに対して低い値を示している。

このようにアニールを行うことにより、多結晶シリコン層の粒径が大きくなり、Naイオンの拡散が防止され、Naイオンはゲート酸化膜13に到達

しなくなり、したがってV_T（交流分逆電圧）の変動、 θ_{m} の低下が防止され、この発明はP型MOSTランジスタ領域形成に特に有効である。

なお、上記実施例において、第1図(b)の工程で多結晶シリコン層14へのボロンまたはBF₃のイオン注入工程とその後のN₂雰囲気中でのアニール工程とを逆にしても同様の効果が得られる。その場合、多結晶シリコン層14の活性化は第1図(c)の工程におけるソース・ドレイン層15の活性化のためのアニール時に行われる。

(発明の効果)

以上詳細に説明したように、この発明によれば、P+多結晶シリコンゲートを有するMOS型半導体装置において、多結晶シリコン層形成に続くP型不純物導入後、もしくはP型不純物導入前に高温のアニールを行つたので、可動イオンが低減する。

したがって、MOS型半導体装置の特性の劣化を防ぎ、信頼性の高い半導体装置を提供することができる。

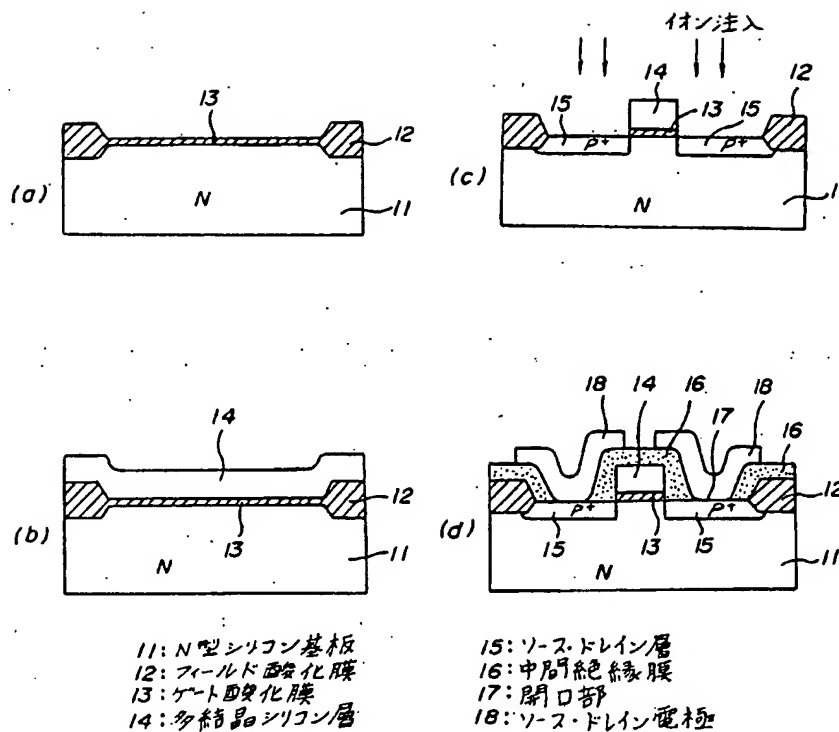
4. 図面の簡単な説明

第1図(a)ないし第1図(d)はこの発明のMOS型半導体装置の製造方法の一実施例の工程断面図、第2図は同上実施例におけるアニール工程時の熱処理温度対可動イオン密度との関係を示す特性図、第3図(a)ないし第3図(c)は従来のMOS型半導体装置の工程断面図である。

11…N型シリコン基板、12…フィールド酸化膜、13…ゲート酸化膜、14…多結晶シリコン層、15…ソース・ドレイン層、16…中間絶縁膜。

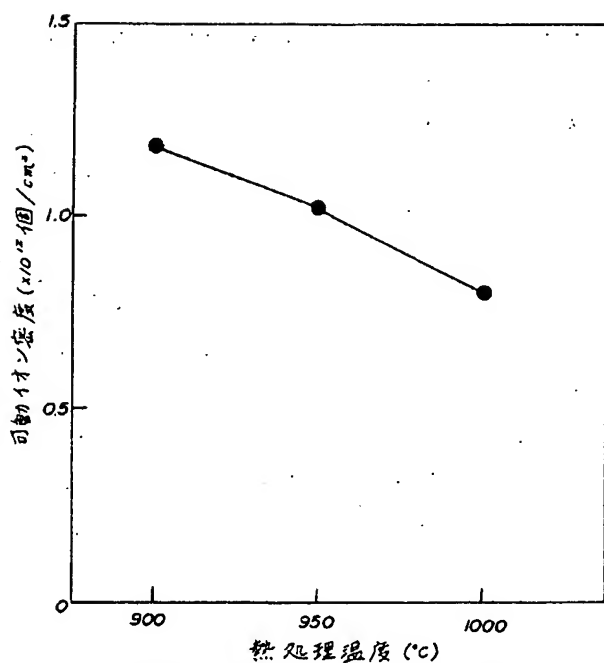
特許出願人 沖電気工業株式会社
代理人 弁理士 菊 池 弘





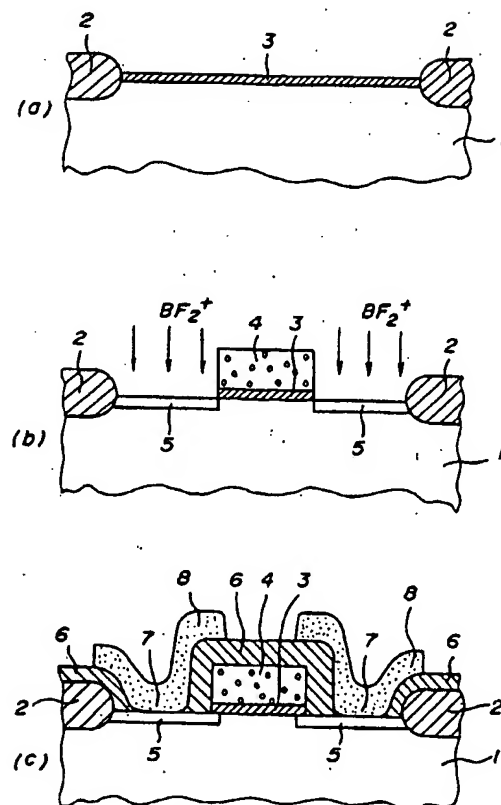
本発明の工程断面図

第 1 図



本発明における熱処理温度対可動イオン密度の特性図

第 2 図



従来の工程断面図

第 3 図

PAT-NO: \ JP401102966A
DOCUMENT-IDENTIFIER: JP 01102966 A
TITLE: MANUFACTURE OF MOS SEMICONDUCTOR
DEVICE
PUBN-DATE: April 20, 1989

INVENTOR-INFORMATION:
NAME
TANAKA, HIROYUKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP62259510

APPL-DATE: October 16, 1987

INT-CL (IPC): H01L029/78, H01L021/265

US-CL-CURRENT: 438/227, 438/FOR.168

ABSTRACT:

PURPOSE: To decrease the quantity of movable ions, to prevent the degradation of characteristics, and to enhance the reliability of a device by employing a specific process in which a high temperature annealing is performed before or after the introduction of P-type impurities into a polycrystalline silicon layer.

CONSTITUTION: A polycrystalline silicon layer 14 is deposited on the surface of a gate oxide film 13 using a CVD method. Subsequently, boron or BF₂ ions as P-type impurity ions are implanted into the polycrystalline silicon layer 14 to introduce P-type impurity ions into the polycrystalline silicon layer 14. Next, a high temperature annealing is performed in the atmosphere of N₂ gas as an inactive gas at a temperature of 900~1000°C in order to activate the polycrystalline silicon layer 14. As the result of the annealing process being performed, the grain size of the polycrystalline silicon layer is enlarged so that Na ions are prevented from diffusing and the Na ions do not reach the gate oxide film 13. Accordingly, both the variation of VT (AC inverse voltage) and the lowering of g_m are effectively prevented.

COPYRIGHT: (C)1989,JPO&Japio